

# ESERCITAZIONE 4

## Sommario

- FlipFlop SR, JK, D, T
- FlipFlop Master Slave
- Circuiti sequenziali sincroni ed asincroni

## 1. Circuiti sequenziali

In un circuito sequenziale le uscite dipendono dagli ingressi e dalla storia precedente del circuito.

In un circuito sequenziale sono utilizzati degli elementi di memoria in grado di ricordare la storia passata.

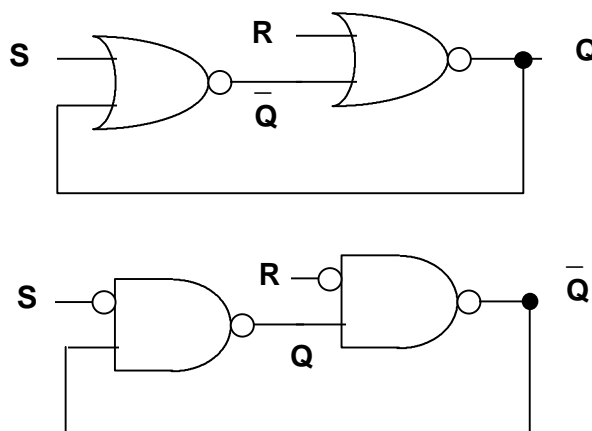
I più semplici elementi di memoria in grado di memorizzare un bit di informazione sono i Flip-Flop.

## 2. Flip-Flop

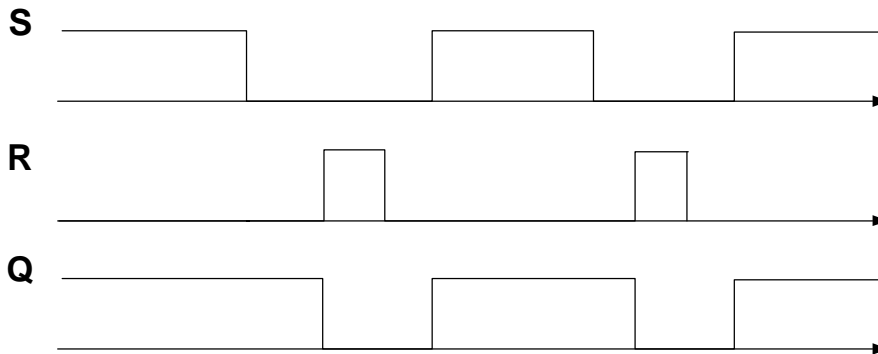
I Flip-Flop sono elementi circuitali in grado di:

- permanere stabili in due stadi diversi;
- commutare da uno stato all'altro;
- manifestare lo stato interno.

### 2.1. Flip Flop Set-Reset



S	R	Q	$\bar{Q}$	Stato
0	0	x	x	memoria
0	1	0	1	set
1	0	1	0	reset
1	1	0	0	<i>non valido</i>

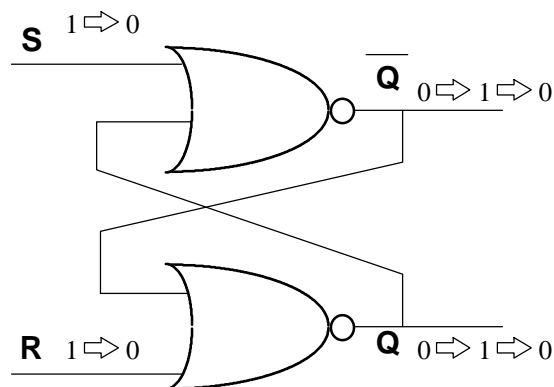


## 2.2. Corsa critica

La configurazione  $SR=11$  è una configurazione non valida in quanto:

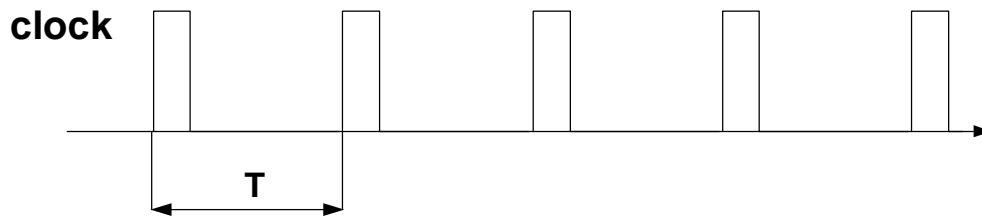
- viola la regola che le uscite  $Q$  e  $\bar{Q}$  siano complementate e
- può generare la condizione di corsa critica.

Nel caso gli ingressi  $SR$  abbiano una transizione da  $11$  a  $00$  le uscite continuano oscillare da valore  $00$  a valore  $11$ , se consideriamo che i ritardi delle porte logiche siano uguali. Poiché nella realtà i ritardi delle porte logiche non sono uguali, la situazione che si avrà nella realtà è indefinita in quanto dipende da quale delle 2 porte è più veloce nel commutare. Quando esiste una combinazione di ingressi per cui l'uscita di un circuito è indefinito si dice che si è in presenza di *corsa critica*.



## 2.3. Il clock

Il *clock* (o segnale di temporizzazione) è quel segnale che all'interno di un sistema a microprocessore fornisce la tempistica a tutte le operazioni.

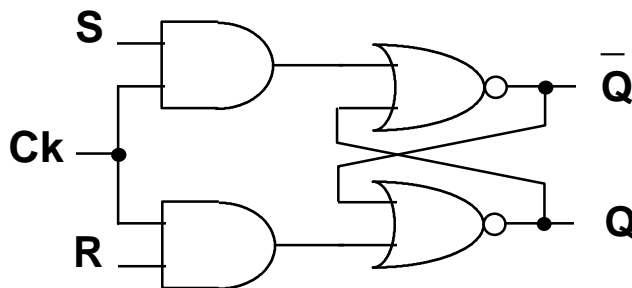


Quando il clock assume il valore 1 avvengono le transizioni dello stato del circuito. Il clock deve valere 1 per un tempo minimo necessario a garantire il cambiamento di stato di tutti i circuiti di memoria.

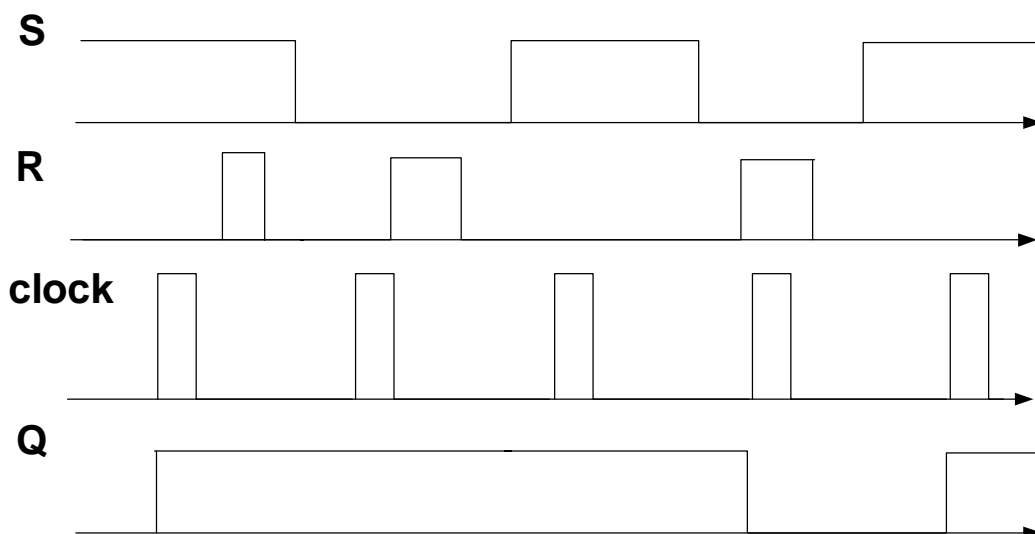
Quando il clock vale 0 viene consentita alla rete combinatoria di modificare le uscite.

## 2.4. Flip Flop Set Reset Cadenzati

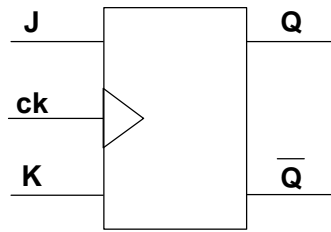
I Flip Flop Set Reset Cadenzati hanno un ingresso in più che abilita o disabilita le modifiche introdotte attraverso i segnali S ed R.



S	R	Ck	$Q^{n+1}$
-	-	0	$Q^n$
0	0	1	$Q^n$
0	1	1	0
1	0	1	1
1	1	1	Non Valida

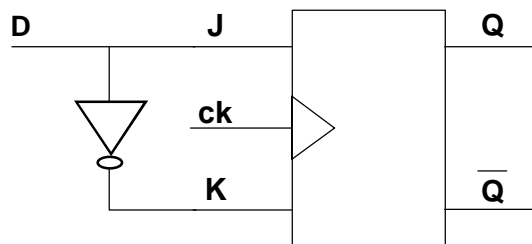


## 2.5. Flip Flop Set di tipo JK



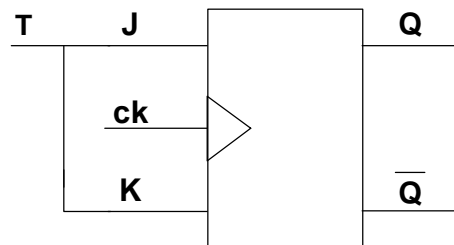
$J$	$K$	$Ck$	$Q^{n+1}$
-	-	0	$Q^n$
0	0	1	$Q^n$
0	1	1	0
1	0	1	1
1	1	1	$\bar{Q}^n$

## 2.6. Flip Flop Set di tipo D



$D$	$Ck$	$Q^{n+1}$
-	0	$Q^n$
0	1	0
1	1	1

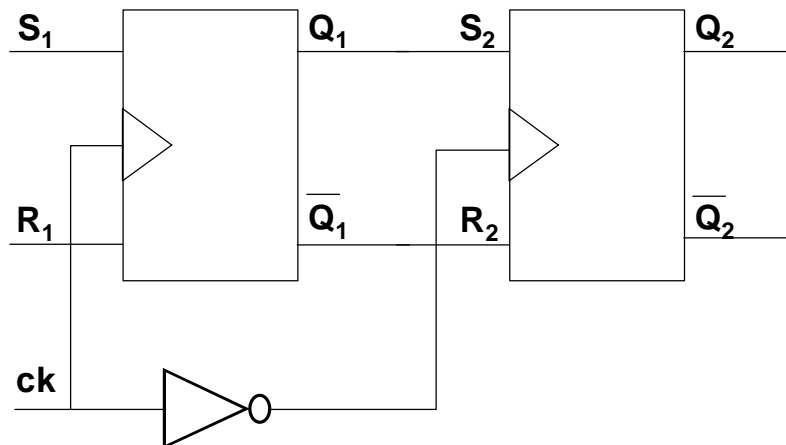
## 2.7. Flip Flop Set di tipo T



$T$	$Ck$	$Q^{n+1}$
-	0	$Q^n$
0	1	$Q^n$
1	1	$\wedge Q^n$

## 2.8. Flip Flop di tipo Master-Slave

Le uscite rimangono inalterate quando sono ammesse variazioni sugli ingressi ( $Ck=1$ ), le uscite variano quando non sono ammesse le variazioni sugli ingressi ( $Ck=0$ ).



I dati vengono *campionati* sul fronte di salita del clock, e *memorizzati* su quello di discesa.

## 3. Circuiti sequenziali sincroni ed asincroni

I circuiti sequenziali sincroni hanno gli elementi di memoria cadenzati e tutte le variazioni di stato interno avvengono contemporaneamente pilotate dagli stati di clock. Il periodo del segnale di clock viene calcolato per dare tempo ai transistori di esaurirsi.

I circuiti sequenziali asincroni non hanno gli elementi di memoria cadenzati e le variazioni di stato interno si verificano appena possibile in funzione dei ritardi del circuito e delle variazioni degli ingressi.

[Torna al Sommario](#)